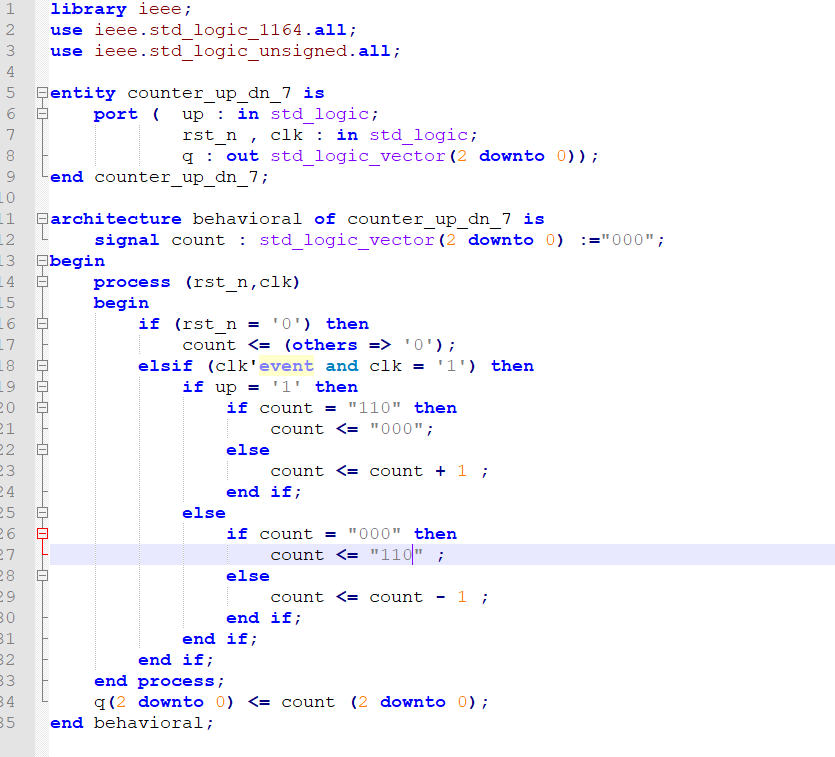
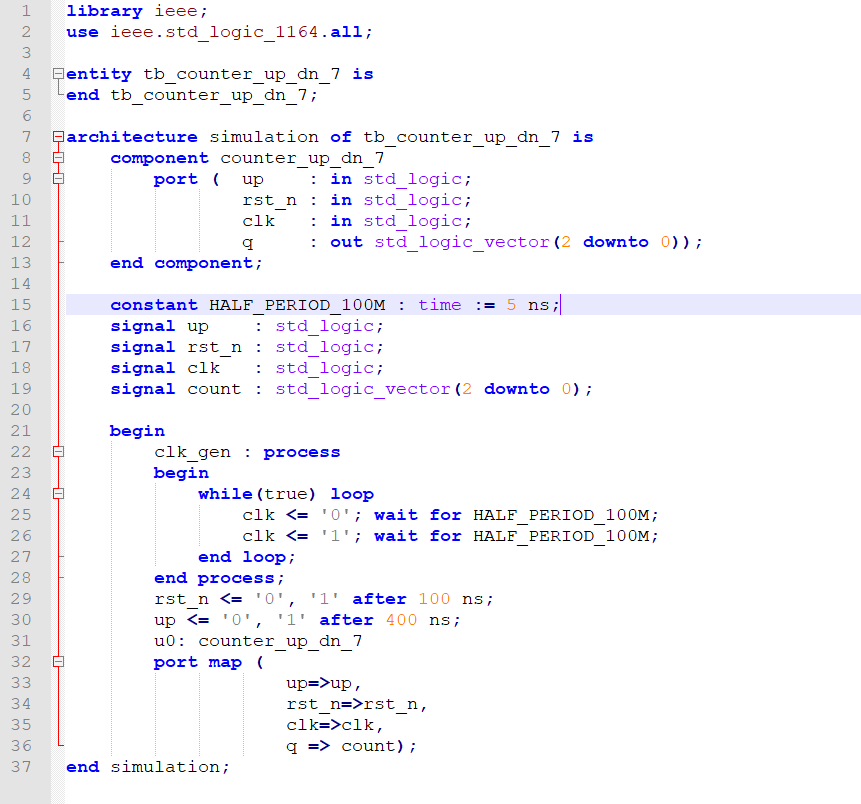
HW 7진 Up/Down 카운터 설계

201413283 김재훈

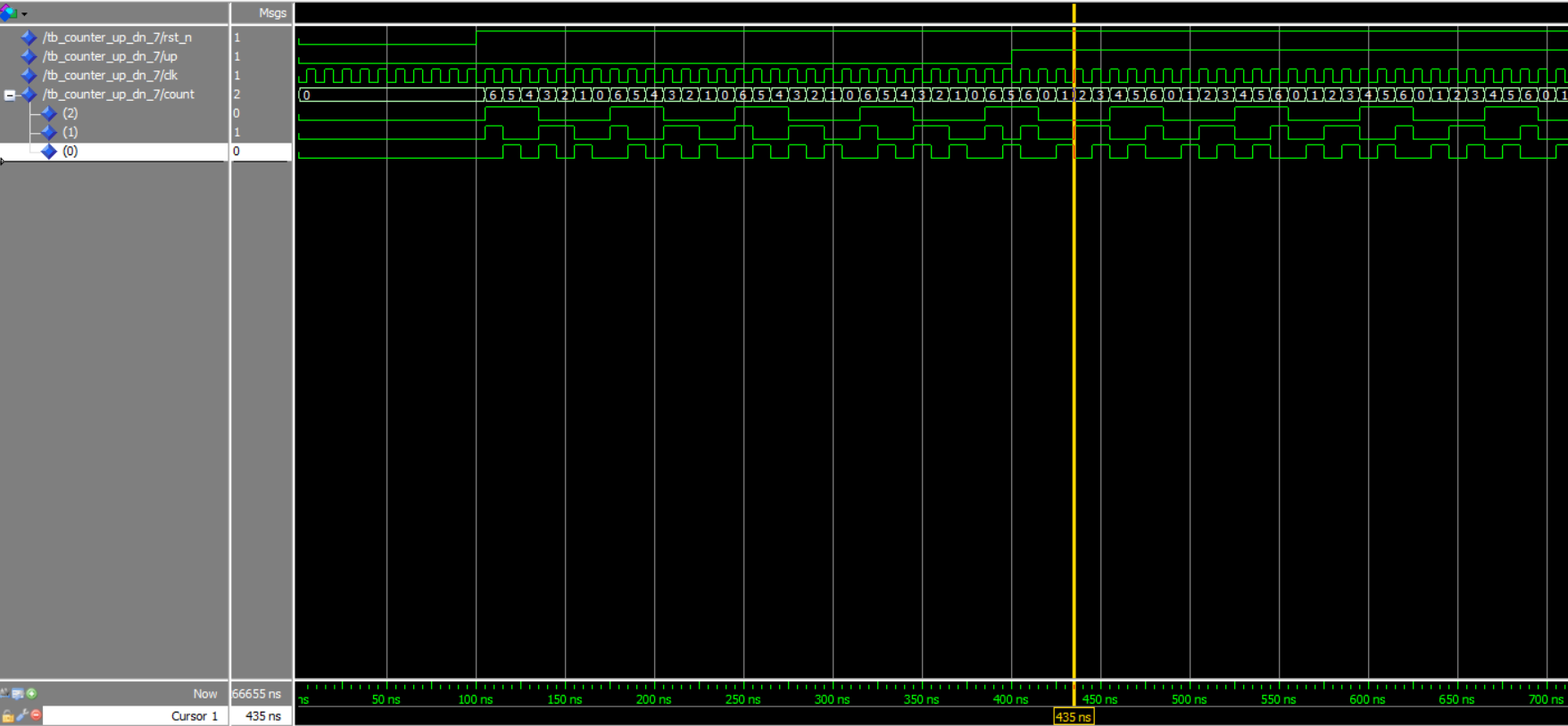
1. Device Module



1. Test Bench



1. 시뮬레이션 파형



1. Discussion

7진 Up/Down 카운터를 설계하기 위해서 필요한 입력신호가 rst\_n, up, clk가 있다. rst\_n은 신호가 0일 때 클럭에 상관없이 출력이 0으로 초기화 되게 하고, 1이면 클럭과, up 신호에 따라서 출력이 변하게 한다. up신호는 1일 때 올라가면서 숫자를 세고, 0인 땐 내려가면서 숫자를 센다. 출력은 7진 카운터를 설계하기 위해서는 0에서 6까지 숫자만 필요하므로 3비트면 충분했다.

7진 카운터의 내부동작을 보면 rst\_n, up이 1일 때 count 신호가 110이 되기 전까진 증가되게 하고, 110이 넘어가면 000으로 되도록 설계했고, rst\_n =1, up =0일땐, count신호가 000이 되기 전까지 감소하고 000밑으로 감소하면 110이 되도록 설계했다.

7진 Up/Down 카운터를 설계하면서 카운터가 동작하는 방법을 알게됐다.